

Document made available under the Patent Cooperation Treaty (PCT)

International application number: PCT/JP05/000226

International filing date: 12 January 2005 (12.01.2005)

Document type: Certified copy of priority document

Document details: Country/Office: JP
Number: 2004-094309
Filing date: 29 March 2004 (29.03.2004)

Date of receipt at the International Bureau: 04 February 2005 (04.02.2005)

Remark: Priority document submitted or transmitted to the International Bureau in compliance with Rule 17.1(a) or (b)



World Intellectual Property Organization (WIPO) - Geneva, Switzerland
Organisation Mondiale de la Propriété Intellectuelle (OMPI) - Genève, Suisse

13.01.2005

日本特許庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出願年月日 2004年 3月 29日
Date of Application:

出願番号 特願2004-094309
Application Number:

[ST. 10/C] : [JP2004-094309]

出願人 日本電気株式会社
Applicant(s):

2004年10月12日

特許庁長官
Commissioner,
Japan Patent Office

小川

洋

出証番号 出証特2004-3091531

【書類名】 特許願
【整理番号】 34601878
【提出日】 平成16年 3月29日
【あて先】 特許庁長官殿
【国際特許分類】 H01L 21/60
H01L 21/56

【発明者】
【住所又は居所】 東京都港区芝五丁目 7番 1号 日本電気株式会社内
【氏名】 大内 明

【発明者】
【住所又は居所】 東京都港区芝五丁目 7番 1号 日本電気株式会社内
【氏名】 村上 朝夫

【特許出願人】
【識別番号】 000004237
【氏名又は名称】 日本電気株式会社

【代理人】
【識別番号】 100096253
【弁理士】
【氏名又は名称】 尾身 祐助

【手数料の表示】
【予納台帳番号】 003399
【納付金額】 21,000円

【提出物件の目録】
【物件名】 特許請求の範囲 1
【物件名】 明細書 1
【物件名】 図面 1
【物件名】 要約書 1
【包括委任状番号】 9002137

【書類名】特許請求の範囲**【請求項 1】**

半導体素子の電極と配線基板の電極パッドがバンプを介して電気的に接続され、前記電極および電極パッド部分を除いた半導体素子と配線基板の隙間が配線基板上に形成されたソルダーレジストおよびアンダーフィルにより充填されている半導体装置において、ソルダーレジスト厚さをB、アンダーフィルの半導体素子下の厚さ、すなわち、ソルダーレジスト上面から対向する半導体素子までの厚さをAとするとき、 $0 < A \leq B$ を満たしていることを特徴とする半導体装置。

【請求項 2】

半導体素子の電極と配線基板の電極パッドがバンプを介して電気的に接続され、前記電極および電極パッド部分を除いた半導体素子と配線基板の隙間が配線基板上に形成されたソルダーレジストおよびアンダーフィルにより充填されている半導体装置において、アンダーフィルの半導体素子下の厚さ、すなわち、ソルダーレジスト上面から対向する半導体素子表面までの厚さをAとするとき、 $0 < A \leq 50 \mu\text{m}$ を満たしていることを特徴とする半導体装置。

【請求項 3】

前記ソルダーレジストの膜厚が $30 \mu\text{m}$ 以上であることを特徴とする請求項1または2に記載の半導体装置。

【請求項 4】

半導体素子の電極と配線基板の電極パッドがバンプを介して電気的に接続され、前記電極および電極パッド部分を除いた半導体素子と配線基板の隙間が配線基板上に形成されたソルダーレジストおよびアンダーフィルにより充填されている半導体装置において、前記ソルダーレジストの開口部体積を V_s 、前記バンプの体積を V_b とするとき、 $V_s > V_b$ を満たしていることを特徴とする半導体装置。

【請求項 5】

前記バンプがはんだにより構成されていることを特徴とする請求項1から4のいずれかに記載の半導体装置。

【請求項 6】

半導体素子の電極と配線基板の電極パッドがバンプを介して電気的に接続され、半導体素子と配線基板の隙間がソルダーレジストとアンダーフィルにより充填されている半導体装置の製造方法において、半導体素子の電極上と配線基板の電極パッド上の何れかまたは双方にバンプを形成する第1工程、ソルダーレジストに被覆された配線基板上にアンダーフィル形成用の樹脂材料を塗布する第2工程、半導体素子を前記配線基板上に位置合わせし搭載する第3工程、前記半導体素子の電極と前記配線板の電極パッドとをバンプを介して電気的に接続する第4工程、を含み、前記第4工程終了後の半導体素子下のアンダーフィルの厚さがソルダーレジストの厚さより薄くなることを特徴とする半導体装置の製造方法。

【請求項 7】

半導体素子の電極と配線基板の電極パッドがバンプを介して電気的に接続され、半導体素子と配線基板の隙間がソルダーレジストとアンダーフィルにより充填されている半導体装置の製造方法において、半導体素子の電極上と配線基板の電極パッド上の何れかまたは双方にバンプを形成する第1工程、ソルダーレジストに被覆された配線基板上にアンダーフィル形成用の樹脂材料を塗布する第2工程、半導体素子を前記配線基板上に位置合わせし搭載する第3工程、前記半導体素子の電極と前記配線板の電極パッドとをバンプを介して電気的に接続する第4工程、を含み、前記ソルダーレジストの開口部体積が前記バンプの体積より大きいことを特徴とする半導体装置の製造方法。

【請求項 8】

前記樹脂材料には、酸化膜除去作用を有する材料が添加されていることを特徴とする請求項6または7に記載の半導体装置の製造方法。

【請求項 9】

出証特2004-3091531

前記第4工程においては加熱と共に加圧が行われることを特徴とする請求項6から8のいずれかに記載の半導体装置の製造方法。

【請求項10】

前記第4工程においては半導体素子を保持するツールの高さ位置の制御が行われることを特徴とする請求項6から9のいずれかに記載の半導体装置の製造方法。

【請求項11】

前記第1工程と前記第2工程との間に半導体素子または配線基板のいずれか一方または双方の表面にプラズマ処理を加えることを特徴とする請求項6から10のいずれかに記載の半導体装置の製造方法。

【書類名】明細書

【発明の名称】半導体装置およびその製造方法

【技術分野】

【0001】

本発明は、半導体装置およびその製造方法に関し、更に詳しくは、半導体素子とそれが搭載される配線基板の隙間をアンダーフィルと呼ばれる樹脂で封止してなるフリップチップ実装構造またはチップサイズパッケージ等の半導体装置およびその製造方法に関するものである。

【背景技術】

【0002】

電気機器の小型、軽量化および高機能化に伴い、LSIチップ等の半導体素子の実装方法としてフリップチップ実装が広く行われている。フリップチップ実装とは、半導体素子の配線パターン面にバンプを形成し、これを配線基板の電極に導電ペーストまたははんだ等で接合する方式である。

【0003】

図5は、従来より一般的に行われている実装方法を示す工程順の断面図である。半導体素子2の電極4と配線基板1の電極パッド5にバンプ3を形成し、半導体素子2のバンプ先端または配線基板1上にフラックス8を付着させる〔図5(a)〕。その後、半導体素子2を配線基板1上に位置合わせして搭載した後にリフローを行って半導体素子2の電極4と配線基板1の電極パッド5を接続する〔図5(b)〕。フラックスを洗浄した後〔図5(c)〕、半導体素子2と配線基板1の隙間にアンダーフィルを形成するための樹脂材料を毛細管現象により充填させ、さらにその半導体基板の周囲にも同じ樹脂材料を塗布し、硬化させてアンダーフィル6を形成する〔図5(d)〕。

【0004】

ところで、半導体素子の実装構造においては、高い接続信頼性が要求されている。

接続信頼性について説明すれば、半導体素子の実装構造の接続信頼性を高めるには、半導体素子が配線基板に接続破壊を起こすことなく長期間安定して接続されていることが必要であり、そのためには、半導体素子と配線基板間の隙間にアンダーフィルとなる樹脂が必要である。アンダーフィル樹脂の物性値、たとえば、弾性率や熱膨張係数といった物理的性質の適正化を行い、LSIと基板の熱膨張係数差により発生する熱応力から接続部にかかる応力を低減することが要求される。しかし、近年においては、LSIの高性能化の要請に伴いLSIの大型化が進められており、その影響でLSIと配線基板の熱膨張係数差により発生する熱応力がさらに顕著となり、その結果、アンダーフィル樹脂の物性値をさらに向上させないと十分な接続信頼性が得られないという現象が顕在化している。

【0005】

こうした問題に対しては、例えば、アンダーフィル樹脂に大量のフィラーを含有させて高弾性率化、低熱膨張係数化を図ることにより解決することが可能であるが、その結果アンダーフィル樹脂組成物の粘度が高くなってしまうので、半導体素子と配線基板間の隙間にアンダーフィル樹脂を十分に充填させることができないという問題が生じてしまう。また、十分な充填を試みたとしても例えば半導体素子と配線基板間の隙間にボイドが発生した場合等においては、装置作動時等に発生する熱応力で電極金属が塑性変形を起こし、場合によってはボイドを介して隣り合った電極が連結してショートを引き起こすおそれもある。

【0006】

このように、半導体素子の実装構造の接続信頼性を向上させるためには、アンダーフィル樹脂の隙間充填性と信頼性の両立という困難な問題がある。こうした問題は、LSIの大型化や微細ピッチ化が進むと、アンダーフィル樹脂組成物の充填距離が長くなったり、LSIと基板間の隙間がますます狭くなるため、上記問題は更に顕著になることが予想される。

【0007】

そこで、このような課題に対し、あらかじめ配線基板上にアンダーフィル形成用の樹脂材料を塗布しておき、半導体素子を配線基板上に搭載した後、加熱することではんだ接続および樹脂硬化を行なう実装方法が提案されている（例えば、特許文献1を参照）。この方法による実装プロセスを図6に示す。まず、半導体素子2を配線基板1上に搭載する前工程として、半導体素子2の電極4上にバンプ3を形成する【図6（a）】。次に、予め配線基板1の半導体素子2が搭載される部分に、半導体素子2と配線基板1の間を充分に介在させる量のアンダーフィル形成用の樹脂材料6aを塗布する【図6（b）】。次に、この樹脂材料6aを塗布した電極パッド5上に半導体素子2のバンプ3が位置するように半導体素子2を配線基板1に位置決め搭載する。その後、半導体素子2を吸着したボンディングツールに備えられたヒータ等の加熱手段により、位置決め搭載した半導体素子2を加熱すると同時に、配線基板1を載せた基板ステージに備えられたヒータ等の加熱手段で加熱を行ない、半導体素子2のバンプ3と配線基板1のパッド5を接続した後、樹脂材料を硬化させてアンダーフィル6を形成し実装を完了させる【図6（c）】。

【特許文献1】特開2001-332583号公報

【発明の開示】

【発明が解決しようとする課題】

【0008】

しかしながら、上述した特許文献1に開示された半導体装置にはいくつかの問題がある。

第1の問題点は、半導体素子と配線基板間のアンダーフィルにボイドが発生した場合、十分な接続信頼性が得られないということである。ボイドの原因は、リフロー前にすでに半導体素子と配線基板間にアンダーフィル形成用の樹脂が充填されているためにリフロー時に高温下にさらされることにより、配線基板等から発生した揮発成分がアンダーフィルに残ることにより、ボイドとなる。このボイドが信頼性を低下させる理由は、装置作動時に発生する熱応力で電極金属（バンプ）を塑性変形させ、場合によってはボイドを介して隣り合った電極が連結してショートを引き起こすおそれがある。

【0009】

第2の問題点は、安定したはんだ接続が得られないということである。その原因是、はんだ接続前にあらかじめ配線基板上に樹脂材料を塗布していることに起因している。はんだ接続性が悪くなる理由は、リフロー中にアンダーフィル樹脂の硬化が進んで粘度が高くなり、はんだが溶融した際に粘度上昇した樹脂がパッドへのはんだの濡れを妨げるためである。また、接続信頼性を向上させるために樹脂にシリカ等のフィラーを添加した場合、それだけで樹脂の粘度が上昇するのみでなく、接続部にフィラーが噛みこむことで電極パッドへのはんだの濡れは、ますます悪くなる。この場合、はんだ接続性を改善させる手段として、リフロー時に荷重を加えて、パッドへのはんだの濡れを促進する手段が有効であるが、はんだ溶融後も荷重をかけ続けると、溶融したはんだバンプが潰れて隣のバンプとショートするという問題がある。

本発明の課題は、上述した従来技術の問題点を解決することであつて、その目的は、半導体素子と配線基板の隙間を樹脂で封止してなるフリップチップまたはチップサイズパッケージ等の半導体素子の実装技術において、安定したはんだ接続が可能であり、接続信頼性が高い実装構造および実装方法を提供することである。

【課題を解決するための手段】

【0010】

上記の目的を達成するため、本発明によれば、半導体素子の電極と配線基板の電極パッドがバンプを介して電気的に接続され、前記電極および電極パッド部分を除いた半導体素子と配線基板の隙間が配線基板上に形成されたソルダーレジストおよびアンダーフィルにより充填された半導体装置において、ソルダーレジスト厚さをB、アンダーフィルの半導体素子下の厚さ、すなわち、ソルダーレジスト上面から対向する半導体素子表面までの厚さをAとするとき、 $0 < A \leq B$ を満たしていることを特徴とする半導体装置、が提供され

る。

【0011】

また、上記の目的を達成するため、本発明によれば、半導体素子の電極と配線基板の電極パッドがバンプを介して電気的に接続され、前記電極および電極パッド部分を除いた半導体素子と配線基板の隙間が配線基板上に形成されたソルダーレジストおよびアンダーフィルにより充填された半導体装置において、アンダーフィルの半導体素子下の厚さ、すなわち、ソルダーレジスト上面から対向する半導体素子表面までの厚さをAとするとき、 $0 < A \leq 50 \mu\text{m}$ を満たしていることを特徴とする半導体装置、が提供される。

【0012】

また、上記の目的を達成するため、本発明によれば、半導体素子の電極と配線基板の電極パッドがバンプを介して電気的に接続され、前記電極および電極パッド部分を除いた半導体素子と配線基板の隙間が配線基板上に形成されたソルダーレジストおよびアンダーフィルにより充填された半導体装置、前記ソルダーレジストの開口部体積をV_s、前記バンプの体積をV_bとするとき、 $V_s > V_b$ を満たしていることを特徴とする半導体装置、が提供される。

【0013】

また、上記の目的を達成するため、本発明によれば、半導体素子の電極と配線基板の電極パッドがバンプを介して電気的に接続され、半導体素子と配線基板の隙間がソルダーレジストとアンダーフィルにより充填されてなる半導体装置の製造方法において、半導体素子の電極上と配線基板の電極パッド上の何れかまたは双方にバンプを形成する第1工程、ソルダーレジストに被覆された配線基板上にアンダーフィル形成用の樹脂材料を塗布する第2工程、半導体素子を前記配線基板上に位置合わせし搭載する第3工程、前記半導体素子の電極と前記配線板の電極パッドとをバンプを介して電気的に接続する第4工程、を含み、前記第4工程終了後の半導体素子下のアンダーフィルの厚さがソルダーレジストの厚さより薄くなることを特徴とする半導体装置の製造方法、が提供される。

【0014】

また、上記の目的を達成するため、本発明によれば、半導体素子の電極と配線基板の電極パッドがバンプを介して電気的に接続され、半導体素子と配線基板の隙間がソルダーレジストとアンダーフィルにより充填されている半導体装置の製造方法において、半導体素子の電極上と配線基板の電極パッド上の何れかまたは双方にバンプを形成する第1工程、ソルダーレジストに被覆された配線基板上にアンダーフィル形成用の樹脂材料を塗布する第2工程、半導体素子を前記配線基板上に位置合わせし搭載する第3工程、前記半導体素子の電極と前記配線板の電極パッドとをバンプを介して電気的に接続する第4工程、を含み、前記ソルダーレジストの開口部体積が前記バンプの体積より大きいことを特徴とする半導体装置の製造方法、が提供される。

【発明の効果】

【0015】

この発明によれば、バンプの半分以上がソルダーレジストで覆われているため、アンダーフィル用の樹脂組成物層にボイドが発生した場合でも熱応力によるバンプの変形を抑制でき、はんだショート等の問題が発生しにくくなる。したがって、本発明の半導体素子の実装構造によれば、接続信頼性に優れた実装構造を提供することができる。

【0016】

また、この発明によれば、バンプを溶融させパッドに接合させる際に、接続性を向上させる目的で、荷重をかけながら接続させても、バンプをつぶしてしまうことがない。従つて、バンプがショートすることなく安定した接続を得ることが可能となる。よって、本発明によれば、接続信頼性を確保しつつ実装構造を極限にまで薄型化することができる。

【0017】

また、この発明によれば、半導体素子搭載前に配線基板上にあらかじめ封止用の樹脂を塗布しておくため、半導体素子搭載後に半導体素子と配線基板の隙間に樹脂を封入する必要がない。従つて隙間にに対するフラックス洗浄や樹脂封入を実現するための手段として用

してきたバンプに所定の高さを設ける必要がないため、封止樹脂層を極めて薄く形成することが可能となる。さらに $V_s > V_b$ を満たすことで、バンプ先端と半導体素子のパッドを確実に接触させると共に、バンプ接合時（バンプ溶融時）に荷重をかけ続けても、バンプがつぶれて隣り合ったバンプ間でショート事故が発生することがない。従って、配線基板上にあらかじめ封止用の樹脂を塗布しておく実装方法で問題となる接続不良を荷重をかけながら接続することで改善でき、安定した接続を得ることが可能となる。

【発明を実施するための最良の形態】

[0018]

次に、本発明の実施の形態について図面を参照して詳細に説明する。

(半遺体妻子の審装構造)

（半導体素子の実装構造）
 図1（a）は、本発明の半導体素子の実装構造の一例を示す断面図である。また、図1（b）は、図1（a）の電極部分の拡大図である。本発明の半導体素子の実装構造は、半導体素子（LSI）2の電極4と配線基板1の電極パッド5がバンプ3を介して電気的に接続され、その電極部分を除いた半導体素子2と配線基板1の隙間が配線基板1上に形成される。そして、本発明の実装構造は、上記の隙間におけるソルダーレジスト7とアンダーフィル6で形成されてなるものである。そして、本発明の実装構造は、上記の隙間におけるソルダーレジスト7の厚さ〔図1（b）におけるB〕とアンダーフィル6の厚さ〔図1（b）におけるA〕の関係について、ソルダーレジスト7の厚さがアンダーフィル6の厚さより大きい（B>A）ことに特徴がある。また、図1（c）は、配線基板1の電極パッド5の一部にソルダーレジスト7が重なっている場合の構造を示したものであるが、前述したB>Aの関係を満たしていれば、図1（b）、図1（c）のどちらの構造でもよい。

これらの具体的な数値は、電極、電極パッドのサイズとそのピッチによって決定される。例えば、電極、電極パッドのサイズが $100 \sim 200 \mu\text{m}$ (または□)、ピッチが $0.2 \sim 0.5 \text{ mm}$ のとき、 $B > 50 \mu\text{m}$ 、 $A \leq 50 \mu\text{m}$ に選定される。

[0019]

半導体素子2の電極4と配線基板1の電極パッド5は、バンプ3を介して接合される。この接合は、電極（電極パッド）の一方の上に形成したバンプ3が溶融し、他方の電極（電極パッド）に濡れ広がることにより接合することができる。バンプ3としては、例えばSn/Pb共晶はんだ、Sn/Pb（共晶を除く）、Sn/Ag、Sn/Cu、Sn/Sb、Sn/Zn、Sn/Bi、およびこれらの材料に特定の添加元素をさらに加えた低融点の金属材料等を挙げることができる。よく用いられる材料としては、Sn/Pb共晶はんだやSn/Ag/Cuはんだ等が挙げられるが、必ずしもこれらに限定されるものではない。なお、半導体素子2の電極4や配線基板1の電極パッド5としては、はんだ濡れ性のよいCu電極（パッド）やAu/Ni電極（パッド）等が挙げられる。

10020

アンダーフィル6は、半導体素子と配線基板間の隙間に充填された樹脂材料の硬化物である。アンダーフィル6を形成するための樹脂組成物としては、熱硬化性樹脂を主成分とし且つ0~65重量% (質量%と同じ。) の無機質充填剤 (フィラー) を含むものを用いることが好ましい。アンダーフィル6の基材である熱硬化性樹脂としては、エポキシ樹脂、ポリエステル樹脂 (不飽和ポリエステル、不飽和ポリエステルと活性水素基を有する化合物の組合せなど)、アクリレート樹脂 ((メタ)アクリロキシプロビルポリシロキサンなどのシリコンアクリレート、エポキシアクリレートを含む) などを挙げることができる。また、 α -シアノアクリレートなどの常温で硬化する接着剤等をアンダーフィル樹脂組成物6として用いることもできる。

[0021]

アンダーフィル6を形成するための樹脂組成物には、熱硬化時に前記した熱硬化性樹脂と反応して硬化を促進させるための促進剤や、加熱によって硬化させるためのラジカル等が発生するラジカル開始剤、アニオン開始剤またはカチオン開始剤等の硬化剤を、1種または2種以上組み合わせて含有させることが好ましい。

[0022]

また、アンダーフィル6を形成するための樹脂組成物には、酸化膜除去作用を付与する剤（例えば、有機酸など金属表面清浄化剤）を添加することができる。また、樹脂の硬化反応時に酸化膜除去作用を有する成分が発現するものを使用することにより、酸化膜除去作用を有する活性樹脂組成物となり、特に酸化が進行しやすいCu電極（Cu電極パッド）とバンプを接続する際にフラックスを使用する必要がなくなるという利点がある。

[0 0 2 3]

【0023】 無機質充填剤の含有量の下限を0重量%としたのは、アンダーフィル6中に無機質充填剤が含まれていない場合でもよいことを示すものであり、その含有量の上限を65重量%としたのは、それを超える場合には樹脂の粘度上昇が著しいばかりでなく、酸化膜除去作用を有する樹脂成分が少なくなることで、はんだ接続性が悪くなるためである。無機質充填剤としては、シリカフィラー等を好ましく用いることができるが、その他の無機質充填剤であってもよく特に限定されない。

[0024]

ソルダーレジスト7は、一般に市販されているもので良く、一例として太陽インキ（株）やタムラ化研（株）等の市販品を用いることができる。

以上のように、本発明の半導体素子の実装構造は、バンプ3の半分以上がソルダーレジスト7で覆われているため、アンダーフィル樹脂層にボイドが発生した場合でも熱応力によるバンプの変形を抑制でき、はんだショート等の問題が発生しにくくなるため、接続信頼性を向上させることができるという効果が得られる。

100251

(製法の説明)

（製法の説明）
 次に、図2および図3を参照して第1の実施の形態の製造方法を説明する。まず、図3(a)に示すように、電極パッド5上にバンプ3を設けた配線基板1と、電極4を設けた半導体素子2を準備する。ここで、図2を参照して各部の望ましい高さ、体積の関係について説明する。図2(a)～(c)は、電極パッド5とソルダーレジスト7とが重なっていない場合を示し、図2(a')～(c')は、電極パッド5の一部にソルダーレジスト7が重なっている場合を示している。電極パッド5とソルダーレジスト7とが重なっていない場合には、図2(a)に示すように、ソルダーレジスト7の厚さ(B)よりもバンプ3および電極パッド5の高さの和(C)の方が高くなるようにし、電極パッド5にソルダーレジスト7が重なっている場合には、図2(a')に示すように、ソルダーレジスト7の厚さ(B)よりもバンプ3の高さ(C')の方が高くなるようにする。また、図2(b)に示すバンプ体積(Vb)は、図2(c)、(c')に示すソルダーレジストト開口部体積(容積)(Vs)より小さくすることが望ましい。より望ましくは、図2(b)、(b')に示す電極体積(Ve)、電極パッド体積(Vp)とバンプ体積(Vb)の和が、ソルダーレジスト開口部体積(Vs)より小さくなる[(Vs > Vb + Ve + Vp) (電極パッド5とソルダーレジスト7とが重なっていない場合)、または、(Vs > Vb + Ve) (電極パッド5にソルダーレジスト7の一部が重なっている場合)]ようにする。このように設定することにより、バンプ3を溶融させLSI側電極4に接合させる際に、接続性を向上させる目的で、荷重をかけながら接続させてもバンプがショートすることなく安定した接続を得ることが可能となる。また、半導体素子2や配線基板1の表面をプラズマ処理等で表面改質することも、接続性を向上させる上で効果的である。また、このときLSI側の電極4は凸となっている必要はないが、凸になっていてもよい。

[0026]

次に、図3 (b) に示すように、配線基板1上の半導体素子2の搭載エリアにアンダーフィル形成用の樹脂材料6aを塗布する。このとき、樹脂材料6aは、活性樹脂であることが好ましい。例えば基材となる熱硬化性樹脂にフラックス効果を有する剤を添加したものが好ましい。この実施形態においては、この活性樹脂組成物をアンダーフィル形成用の樹脂材料6aとして用いるので、フラックスを使用しなくとも、それ自身の有するフラックス作用によりはんだ接続時の加熱状態における酸化を防ぐことができ、はんだおよび被は

んだ接続面の酸化膜を除去して信頼性の高いはんだ接続を行うことができる。用いられる活性樹脂組成物中のはんだ酸化膜除去作用を有する剤は、樹脂硬化後においては基材樹脂と結合して化学的に安定となるので、硬化後の樹脂組成物は十分な電気的絶縁性を有する。

【0027】

配線基板1上への樹脂材料6aの塗布方法としては、配線基板1の中央部分に材料樹脂6aを1点塗布する方法が一般的であるが、半導体素子2が大きい場合などにおいては、搭載位置の対角線上に「×」を描くように塗布する方法や、数点に分けて塗布する方法等が好ましく適用される。

【0028】

次に、図3(c)に示すように、ツール(図示省略)に吸着された半導体素子2を配線基板1上に位置合わせした後、所定の荷重を加えながら搭載する。この際、ツールに内蔵された加熱ヒータにより半導体素子2を加熱して接続してもよく、配線基板1を載せるステージ(図示省略)に内蔵された加熱ヒータにより配線基板1を加熱して接続してもよい。このようにLSI搭載時に接続を行う場合、バンプ溶融後にツールの位置制御を行うことにより、アンダーフィル6の厚さを調整することが可能となる。

さらに、接続時に荷重を加えながら接続すると安定した接続を得るために効果的である。

リフロー炉にて接続を行う場合、所定の温度に加熱されたりフロー炉に通すことで接続を行うことができるが、この場合も荷重をかけながら接続することが効果的である。最後に、所定の温度に設定された恒温層等に所定の時間投入して樹脂を硬化させてアンダーフィル6を形成し、接続が完了する。

【0029】

以上のように、本発明の半導体装置の実装方法によれば、あらかじめ配線基板上にはんだ酸化膜除去作用のある樹脂材料を塗布しておくとともに、前述したバンプ高さとソルダーレジストの厚さの関係およびバンプ体積とソルダーレジスト開口部体積を適正化することにより、荷重をかけながらリフローしてもバンプショート等の問題を未然に防ぐことが可能となり、安定したバンプ接続が可能となる。

【0030】

図4は、本発明の他の実施の形態の半導体装置の製造工程を示す工程順の断面図である。先の実施の形態の製造方法では、バンプ3を配線基板側に設けていたが、実施の形態において、バンプ3をLSI側に形成している。すなわち、本実施の形態においては、図4(a)に示すように、半導体素子2の電極4上にバンプ3が形成されている。その他は、第1の実施の形態と同様である。

バンプは、電極4と電極パッド5の両方に形成するようにしてもよい。

【実施例】

【0031】

以下に実施例を挙げ、本発明を更に具体的に説明する。

(サンプルA, B, C)

本発明の半導体装置の実装構造を実現するためにアンダーフィル6を形成するための樹脂組成物として、酸化膜除去作用を有する剤を含有した活性樹脂組成物を使用した場合の半導体素子の実装構造、実装方法についての実験を行なった。

【0032】

半導体素子2としては、サイズ14.8mm×14.8mm、半導体素子側電極は、Au/Niメッキが施されている。この電極は半導体素子表面のポリイミド膜より、約2μm凹の構造となっている。電極径は135μmである。配線基板1としては、サイズ45mm×45mm、半導体素子2に対応した電極パッド5が配置され、電極パッド5上にはんだバンプ3が約50μmの高さ[図2(a)のCの寸法]で形成されているものを使用した。はんだバンプの材質はSn/3Ag/0.5Cuの鉛フリーはんだを使用した。配線基板1のソルダーレジスト7はタムラ化研の市販品を使用し、厚さ[図2(a)のBの寸法]は約10μmである。

寸法] は約 $30 \mu\text{m}$ であり、ソルダーレジスト開口部直径は約 $150 \mu\text{m}$ とした。なお、実装後の半導体素子2と配線基板1は、電気的接続の確認が行なえる配線構造となっている。電極のピッチは 0.24 mm である。

【0033】

アンダーフィル形成用の樹脂材料は、液状エポキシ樹脂を主成分として、フェノール系硬化剤を主成分の30～40重量%とした。この樹脂材料は、酸化膜除去作用のある熱硬化性樹脂を使用した。なお、無機質充填剤であるシリカフィラーを65wt%添加した樹脂材料を用いたものをサンプルA、30wt%添加した樹脂材料を用いたものをサンプルB、0wt%添加した樹脂材料を用いたものをサンプルCとした。

【0034】

これらを用いて半導体素子の実装を行った。まず、配線基板1をステージ上に置き、ディスペンサーにより樹脂材料6aを配線基板1上の半導体素子搭載面の中央部に約 20 mg 塗布した。次に、ツールに吸着させた半導体素子2と配線基板1との位置合わせを行ない、半導体素子2を配線基板1上に搭載した。搭載は、マウンタのヒータツールを利用し、 240°C 加熱しながら、 $2 \text{ g}/\text{パンプ}$ の加圧下で5秒間行ない、はんだバンプの接続を完了した。次に、実装品を 150°C 大気雰囲気中の恒温槽に120分間入れ、樹脂材料6aを硬化することによりアンダーフィル6を形成して実装を完了した。これらのアンダーフィル樹脂厚さ [図1 (b) のAの寸法] を測定したところ、平均 $10 \mu\text{m}$ 、最大で約 $30 \mu\text{m}$ であった。

【0035】

[比較例] (サンプルD～F)

アンダーフィル樹脂厚さの影響を確認するために、半導体素子側のパッドにも配線基板側と同じSn/3Ag/0.5Cuの鉛フリーはんだバンプを形成し、アンダーフィル樹脂厚さが増してもはんだ接続が可能となるようにした。これらのサンプルの実装はなるべくサンプルA～Cと同様の条件にて実施したが、はんだバンプの接合時に荷重をかけ続けるとはなんだショートが発生するため、はんだ溶融後は位置制御にてはんだ接続を試みた。シリカフィラーを65wt%添加した樹脂で製作したサンプルをD、30wt%添加した樹脂で製作したサンプルをE、0wt%添加した樹脂で製作したサンプルをFとした。これらのアンダーフィル樹脂厚さ [図1 (b) のAの寸法] を測定したところ、平均 $80 \mu\text{m}$ であった。

【0036】

(評価)

上記6種類のサンプルの結果について評価した。結果を下記表1に示す。まず、はんだ接続性については、サンプルDでは、はんだの未接続箇所が確認された。他のサンプルについては、電気的にはんだ接続性が良好であり全ピン接続していることが確認された。次に耐リフロー性評価として、 250°C ピークのリフロー炉に3回通した後の状態を確認した。各サンプルとも全てボイド発生が確認されているが、サンプルFについてはリフロー後ボイドを介してはんだショートが確認された。また、耐リフロー評価をパスした4種類のサンプルについて、 $-40 \sim 125^\circ\text{C}$ の温度サイクル試験を実施した結果、全て100cyclesパスした。

【0037】

【表1】

サンプル	アンダーフィル樹脂		接続	リフロー	温度サイクル
	フィラー量	厚さ			
A	65 wt %	10 μ m (max: 30 μ m)	○	○	1000 c y c
B	30 wt %		○	○	1000 c y c
C	0 wt %		○	○	1000 c y c
D	65 wt %	80 μ m	×	—	—
E	30 wt %		○	○	1000 c y c
F	0 wt %		○	×	—

以上の結果から、本実装構造の場合、はんだ接続性および接続信頼性に関して、樹脂によらず全て良好な結果が得られており、本構造の優位性を確認することができた。

【図面の簡単な説明】

【0038】

【図1】本発明による半導体素子の実装構造の一例を示す断面図。

【図2】本発明の半導体装置のソルダーレジストとバンプの関係を示す断面図。

【図3】本発明の一実施の形態の半導体装置の製造方法を示す工程順の断面図。

【図4】本発明の他の実施の形態の半導体装置の製造方法を示す工程順の断面図。

【図5】従来の半導体装置の製造方法の一例を示す工程順の断面図。

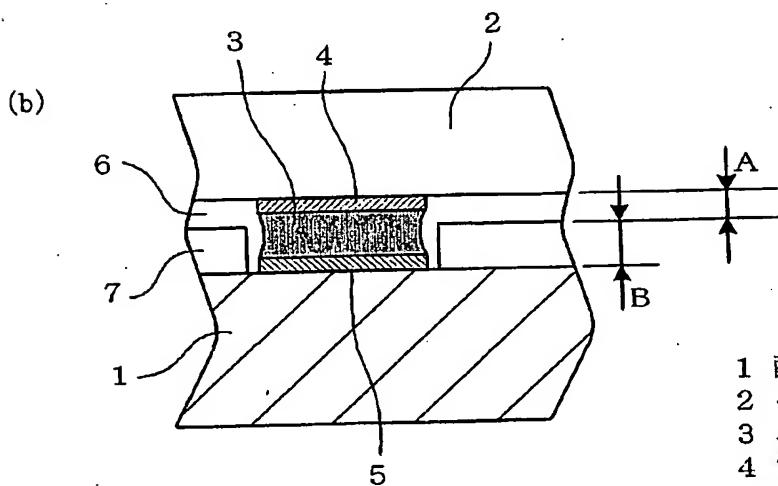
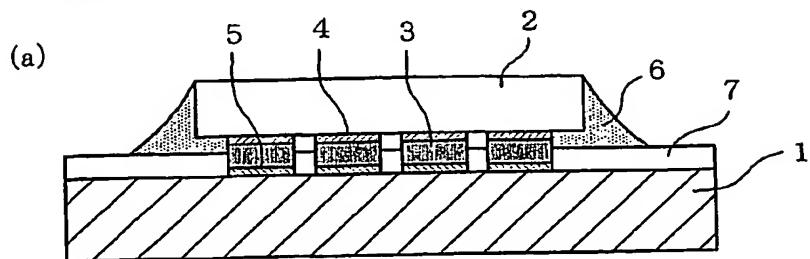
【図6】従来の半導体装置の製造方法の他の例を示す工程順の断面図。

【符号の説明】

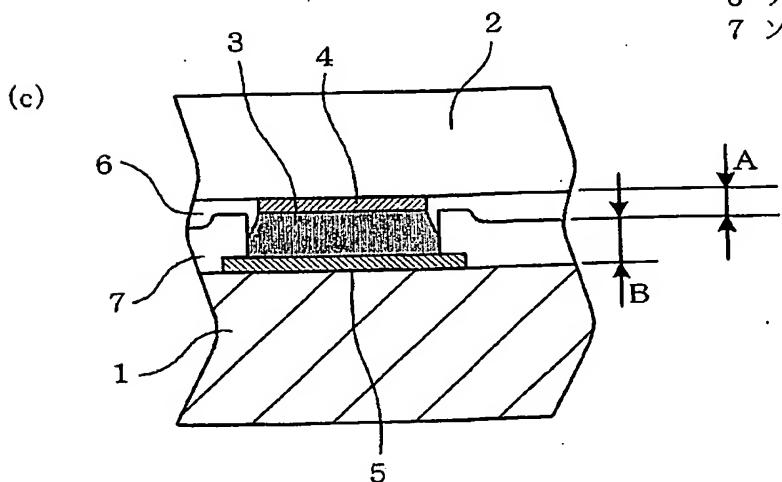
【0039】

- 1 配線基板
- 2 半導体素子 (LSI)
- 3 バンプ
- 4 電極
- 5 電極パッド
- 6 アンダーフィル
- 6a 樹脂材料
- 7 ソルダーレジスト
- 8 フラックス

【書類名】図面
 【図1】

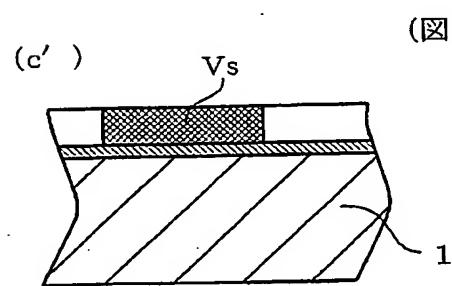
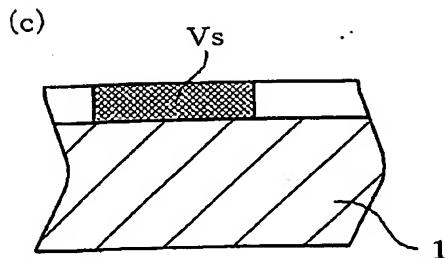
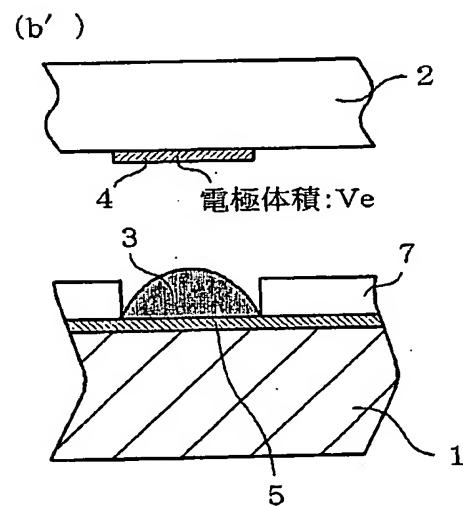
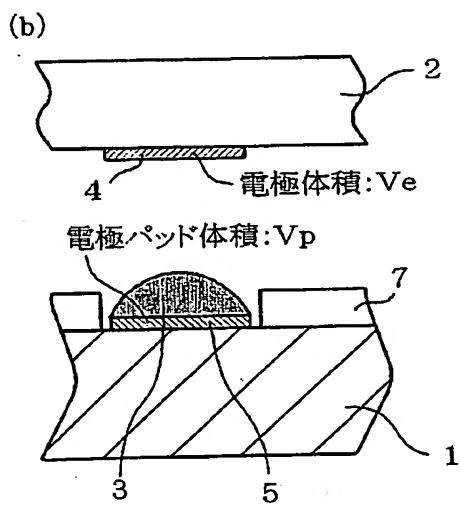
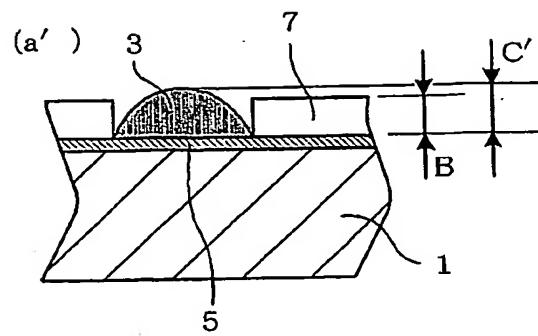
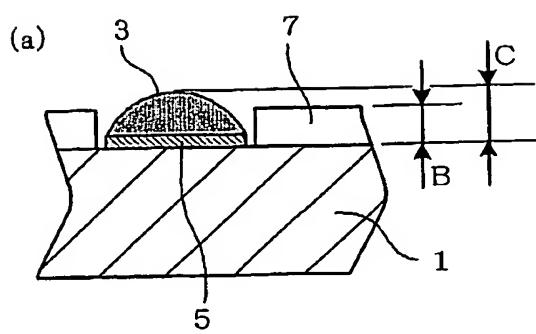


1 配線基板
 2 半導体素子(LSI)
 3 バンプ
 4 電極
 5 電極パッド
 6 アンダーフィル
 7 ソルダーレジスト



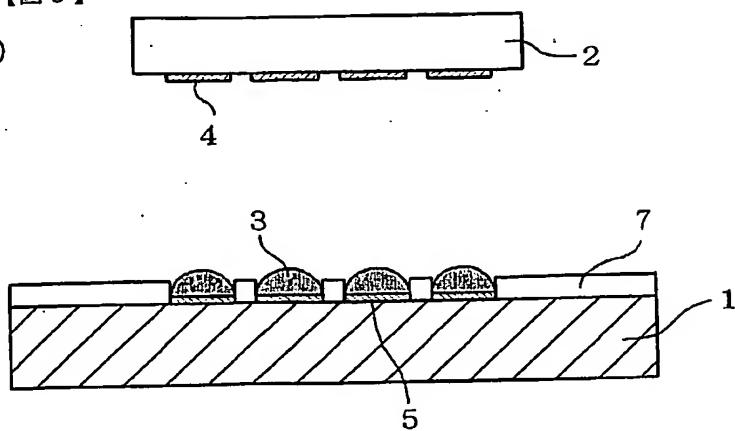
(図1)

【図2】

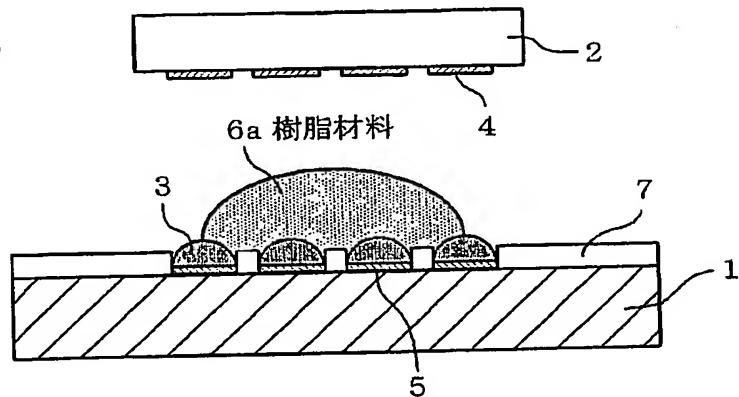


【図3】

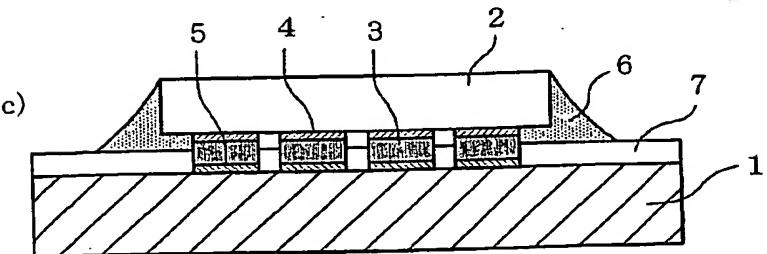
(a)



(b)



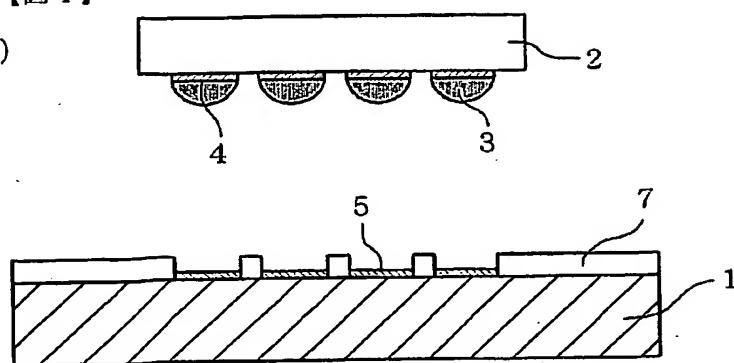
(c)



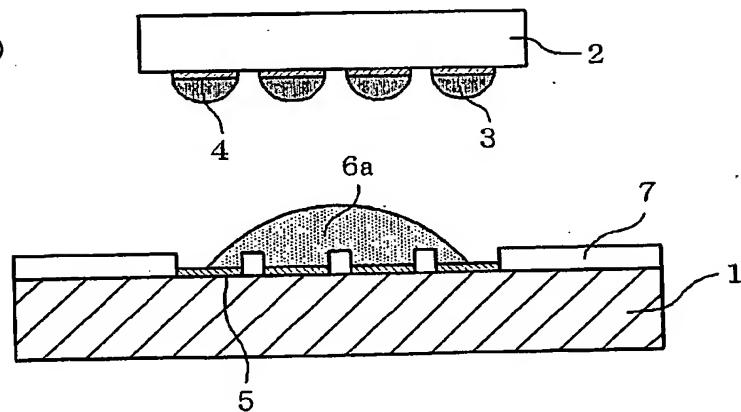
(図3)

【図4】

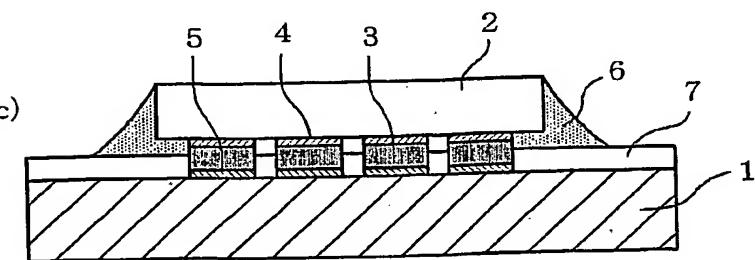
(a)



(b)

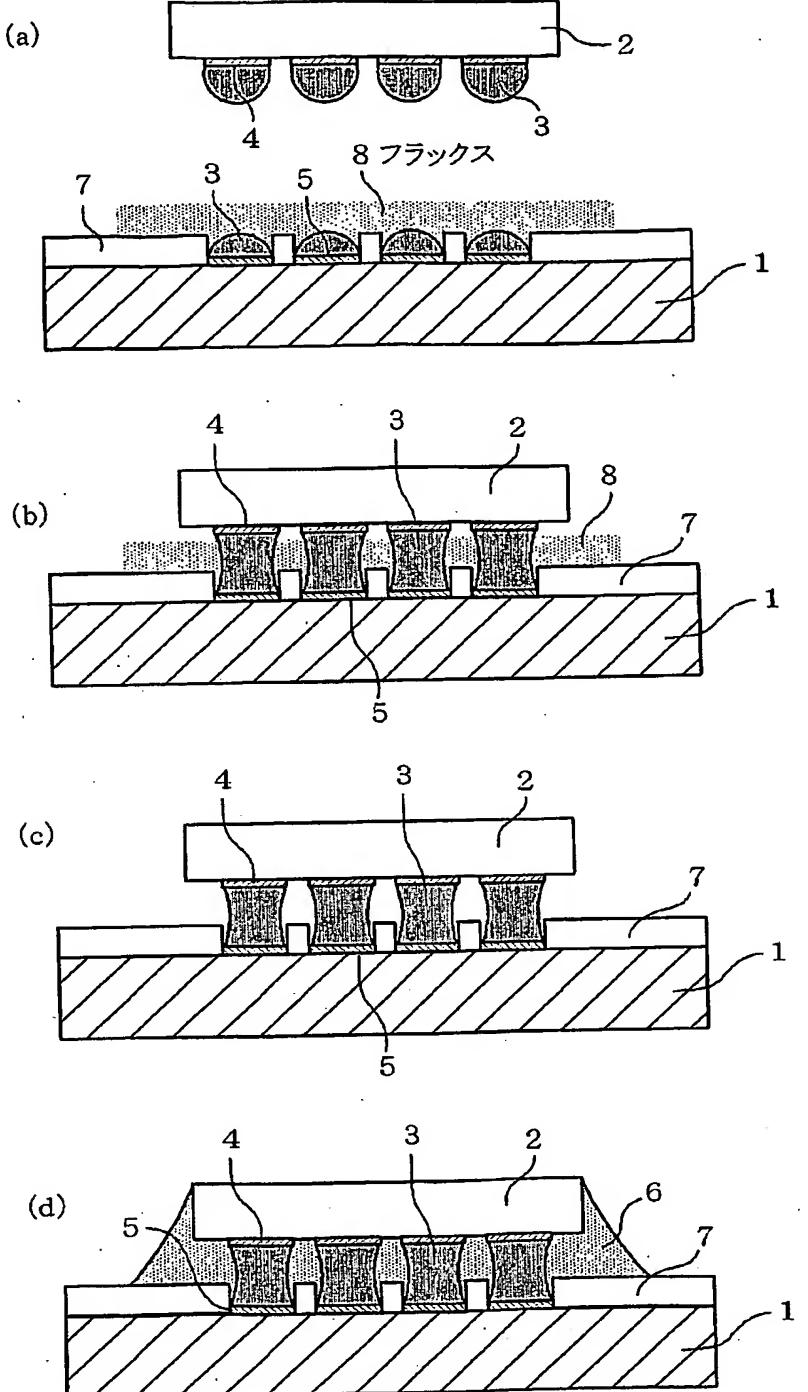


(c)



(図4)

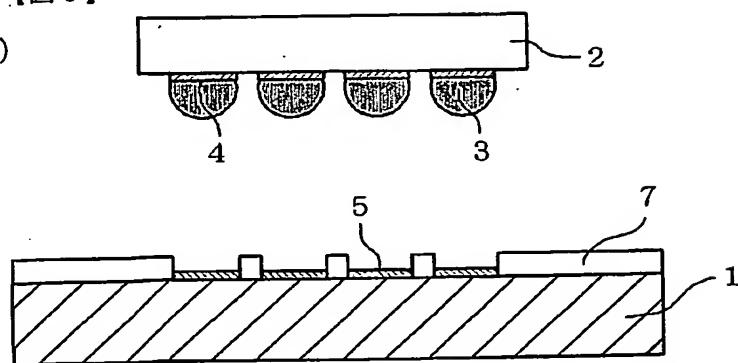
【図5】



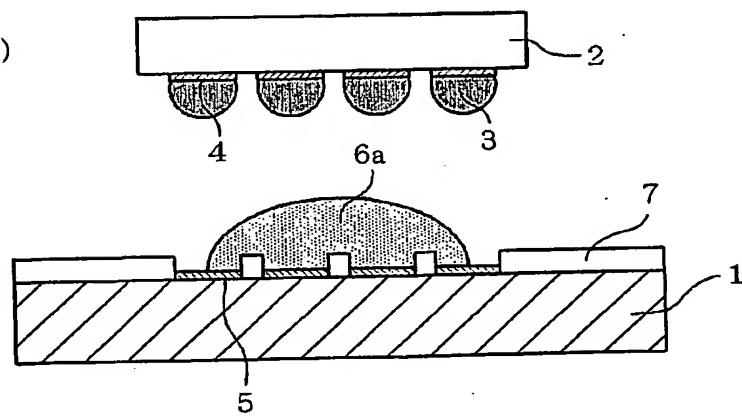
(図5)

【図6】

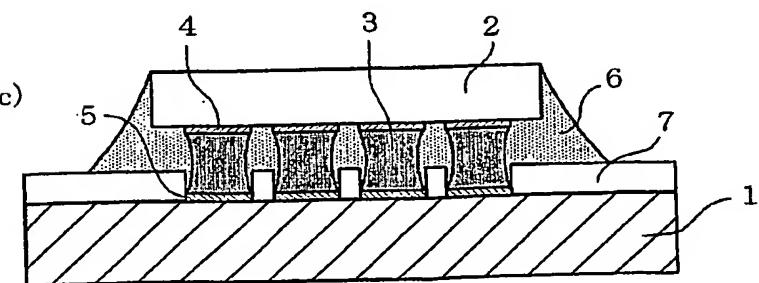
(a)



(b)



(c)



(図6)

【書類名】要約書

【要約】

【課題】 半導体素子と配線基板の隙間をアンダーフィルで封止してなる実装構造において、安定したはんだ接続が可能であり、薄型で接続信頼性が高い実装構造を提供。

【解決手段】 半導体素子2の電極4と配線基板1の電極パッド5がバンプ3により電気的に接続され、接続部を除いた半導体素子2と配線基板1の隙間が配線基板上に形成されたソルダーレジスト7及びアンダーフィル6で充填された実装構造であって、ソルダーレジスト厚さをB、アンダーフィル樹脂厚さ、すなわち、ソルダーレジスト上面から対向する半導体装置表面までの厚さをAとするとき、 $0 < A \leq B$ を満たしている。

【選択図】 図1

特願 2004-094309

出願人履歴情報

識別番号 [000004237]

1. 変更年月日 1990年 8月29日

[変更理由] 新規登録

住 所 東京都港区芝五丁目7番1号

氏 名 日本電気株式会社

出証番号 出証特 2004-3091531